

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

11017 U.S. PTC
09/892697



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 6月29日

出願番号
Application Number:

特願2000-195940

出願人
Applicant(s):

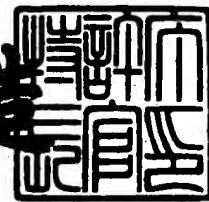
株式会社東芝
東芝マイクロエレクトロニクス株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3006345

【弁理士】

【氏名又は名称】 橋 谷 英 俊

【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

【手数料の表示】

【予納台帳番号】 004444

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶駆動用半導体装置および液晶表示装置

【特許請求の範囲】

【請求項 1】

液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、
前記シングルポートメモリに保持された表示用データを所定のサイクルで取込んで前記液晶表示部に送出する液晶駆動回路と、

CPUが前記シングルポートメモリにアクセスしない場合は前記所定のサイクルで前記シングルポートメモリから表示データを前記液晶駆動回路に取込ませてこの取込んだデータを前記液晶表示部に送出させ、前記シングルポートメモリから前記液晶駆動回路がデータを取込んでいるときに前記CPUが前記シングルポートメモリにアクセスした場合は前記CPUに優先権を持たせるように前記液晶駆動回路の表示データ取込み動作を中止させて前記CPUにアクセス動作させ、このアクセス動作終了直後に改めて、前記液晶駆動回路の表示データ取込み動作を行わせるように前記液晶駆動回路を制御する制御回路と、

を備えたことを特徴とする液晶駆動用半導体装置。

【請求項 2】

前記制御回路は、前記CPUが前記シングルポートメモリにアクセス動作しているときに前記液晶駆動回路の表示データ取込み開始のタイミングになった場合は前記液晶駆動回路の表示データ取込み動作を停止させ前記CPUのアクセス動作終了直後に前記液晶駆動回路の表示データ取込み動作を行うように制御することを特徴とする請求項 1 記載の液晶駆動用半導体装置。

【請求項 3】

液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、
前記シングルポートメモリに保持された表示用データをラッチするラッチ回路を有し、前記表示用データを前記シングルポートメモリから所定のサイクルで取込んで前記液晶表示部に送出する液晶駆動回路と、

CPUが前記シングルポートメモリにアクセス動作することを示すCPUアクセス信号と、前記液晶駆動回路の表示データ取り込み動作のサイクルと同期した

所定の信号とに基づいて、前記ラッチ回路のラッチ動作を制御する信号を生成し前記ラッチ回路に出力する制御回路と、

を備えたことを特徴とする液晶駆動用半導体装置。

【請求項 4】

前記液晶駆動回路は、

第 1 のラッチ信号に基づいて前記シングルポートメモリからの表示データをラッチする第 1 のラッチ回路と、

第 2 のラッチ信号に基づいて前記第 1 のラッチ回路の出力をラッチする第 2 のラッチ回路と、を有し、

前記制御回路は、前記 CPU が前記シングルポートメモリにアクセス動作することを示す CPU アクセス信号と、前記第 2 のラッチ信号とに基づいて前記第 1 のラッチ信号を出力することを特徴とする請求項 1 乃至 3 のいずれかに記載の液晶駆動用半導体装置。

【請求項 5】

前記第 1 および第 2 のラッチ回路は、前記シングルポートメモリの各出力ポート毎に設けられていることを特徴とする請求項 4 記載の液晶駆動用半導体装置。

【請求項 6】

前記制御回路は、前記第 2 のラッチ信号の反転信号をそれぞれ 1 つの入力端に受け、前記 CPU アクセス信号をそれぞれ残りの入力端のうちの 1 つで受ける第 1 および第 2 の 3 入力 NOR ゲートと、前記第 1 の 3 入力 NOR ゲートの出力の反転信号をセット端子に受け、前記第 2 の 3 入力 NOR ゲートの出力をリセット端子に受ける第 1 の RS フリップフロップ回路と、この第 1 の RS フリップフロップ回路の出力を所定時間遅延させる遅延回路と、前記第 1 の RS フリップフロップ回路の出力および前記遅延回路の出力の反転信号ならびに前記 CPU アクセス信号を受ける第 3 の 3 入力 NOR ゲートと、この第 3 の 3 入力 NOR ゲートの出力の反転信号をセット端子に受け、前記第 2 のラッチ信号をリセット端子に受ける第 2 の RS フリップフロップ回路と、を備え、前記第 1 の 3 入力 NOR ゲートは残りの他の入力端で前記第 2 の RS フリップフロップ回路の出力を受け、前記第 2 の 3 入力 NOR ゲートは残りの他の入力端で前記遅延回路の出力を受け、

前記第 1 の R S フリップフロップ回路の出力端から前記第 1 のラッチ信号が出力されることを特徴とする請求項 4 または 5 記載の液晶駆動用半導体装置。

【請求項 7】

請求項 1 乃至 6 のいずれかに記載の液晶駆動用半導体装置と、前記液晶表示部と、

を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示データ用メモリを内蔵する液晶駆動用半導体装置および液晶表示装置に関する。

【0002】

【従来の技術】

近年、液晶表示装置は軽量かつ低消費電力を達成するフラットディスプレイとして注目を集めている。表示データ用メモリ例えば RAM (Random Access Memory) を内蔵した液晶表示装置の一例の構成を図 5 に示す。

【0003】

この液晶表示装置は、液晶表示部 2 と、コモン電極駆動回路 40 と、セグメント電極駆動回路 45 と、表示データ用 RAM 50 とを備えている。

【0004】

液晶表示部 2 は、単純マトリクス型であって、複数のコモン電極が並行して配列された第 1 の透明基板と、複数のセグメント電極が並行して配列された第 2 の透明基板とを、上記セグメント電極とコモン電極が交差するように対向配置し、この第 1 および第 2 の透明基板間に液晶層が挟持された構造を有している。また各コモン電極には各々異なる 1 本の走査線 COM i ($i = 1, \dots, m$) が接続され、各セグメント電極には各々異なる 1 本の信号線 SEG j ($j = 1, \dots, n$) が接続されている。

【0005】

コモン電極駆動回路 40 によって 1 本の走査線が選択されることにより、この

走査線に接続されたコモン電極が駆動される。

【0006】

またセグメント電極駆動回路45は表示データ用RAM50から読出された表示データを信号線を介して対応するセグメント電極に送出する。

【0007】

セグメント電極駆動回路45および表示データ用RAM50は1チップ上に形成され、以下、液晶駆動用半導体装置という。

【0008】

従来の液晶駆動用半導体装置の構成を図6に示す。この従来の液晶駆動用半導体装置はセグメント電極駆動回路45と、表示データ用RAM50とを備えている。

【0009】

表示データ用RAM50は、マトリクス状に配列された複数のRAMセル52からなるセルアレイ51と、アドレスデコーダ55と、表示データリードカウンタ／デコーダ57と、I／F（インタフェース）制御回路60と、データI／O回路62と、発振回路65とを備えている。そして各RAMセル52は2個のトランジスタと、2個のインバータゲートからなるラッチ回路と、スリーステートドライバとから構成されている。すなわち、図6に示す表示データ用RAM50はデュアルポートRAM50であって、各RAMセル52は、10個のトランジスタによって構成されている。

【0010】

図示しないCPUが表示データ用RAM50にアクセスする場合は、まず上記CPUからI／F制御回路60にI／F信号が送られる。するとこのI／F制御回路60によってアドレスデコーダ55およびデータI／O回路62が活性化される。上記CPUによって決められたアドレスがアドレスバスを介してアドレスデコーダ55に入力されてデコードされ、上記アドレスに応じた、表示データ用RAM50のRAMセル52が選択される。そしてデータを表示データ用RAM50に書き込むときには、データバスを介して送られてきたデータがデータI／O回路62を介して表示データ用RAM50の上記選択されたセルに書き込まれ

、データを読み出すときには、RAM 50 の上記選択されたセルからデータ I / O 回路 62 を介してデータが読み出されてデータバスに送られる。

【0011】

これに対して液晶表示部 2 にデータを送出する場合は、まず発振回路 65 からクロック信号を発生し、このクロック信号に基づいて表示データリードカウンタ / デコーダ 57 から選択信号が RAM 50 に送出される。そして、この選択信号によって、対応する RAM セル 52 からデータが読み出され、読み出されたデータはセグメント電極駆動回路 45 に送出されてラッチされる。このデータのラッチは表示データリードカウンタ / デコーダ 57 から出力されるラッチ信号に基づいて行われる。

【0012】

このように図 6 に示す従来の液晶駆動用半導体装置においては、表示用データの出力ポートと、CPU アクセス用の入出力ポートが分かれているため、CPU は非同期に RAM 50 をアクセスすることができるが、表示データ用 RAM がデュアルポート RAM であるので各 RAM セル 52 について 10 個のトランジスタが必要となり、チップサイズが大きくなるという欠点がある。

【0013】

このチップサイズが大きくなるという欠点を解決した従来の液晶駆動用半導体装置の他の例の構成を図 7 に示す。この図 7 に示す従来の液晶駆動用半導体装置は、RAM セル 53 が 2 個のトランジスタと、2 個のインバータゲートからなっている以外は図 6 に示す表示用データ RAM 50 と同じ構成の表示データ用 RAM 50A、すなわちシングルポート RAM 50A と、セグメント電極駆動回路 46 とを備えている。このシングルポート RAM 50A においては、各メモリセル 53 は、6 個のトランジスタから構成されるため、チップサイズが図 6 に示す液晶駆動用半導体装置に比べて小さいという利点がある。

【0014】

【発明が解決しようとする課題】

しかし、図 7 に示す従来の液晶駆動用半導体装置においては、RAM 50A がシングルポート、すなわち表示用データの出力ポートと、CPU アクセス用の入

出力ポートが共用であるため、CPUから非同期にRAM50Aをアクセスすることができない。このため、液晶表示部がRAM50Aからデータを取り込もうとしているときにCPUがアクセス動作しようとする場合は、CPUかまたは液晶表示部のどちらか一方に優先権を持たせ、他方を待機させる必要がある。液晶表示部は一定のサイクルでデータを取り込むため、CPUに優先権を持たせた場合は、データがCPUによってRAM50Aに書き込まれるが、このデータはCPUアクセス用の入出力ポートすなわち表示用データ用の出力ポートに残っている。このとき液晶表示部が表示データをRAM50Aから取り込もうとすると、CPUによって書き込まれたデータが表示用データとして取込まれる。このデータは一般に、本来表示しようとしたデータとは異なりかつ既に表示されているデータとは相関がないため、表示された場合には液晶表示部2の表示画面がチラついて画質が劣化するという問題がある。また液晶表示部に優先権を持たせた場合には、CPUによるRAM50Aへのデータの書込みに時間がかかるという問題がある。

【0015】

本発明は上記事情を考慮してなされたものであって、チップサイズの増大および画質の劣化を可及的に防止するとともに、CPUによるメモリへのアクセス動作を可及的に短時間で行うことのできる液晶駆動用半導体装置および液晶表示装置を提供することを目的とする。

【0016】

【課題を解決するための手段】

本発明による液晶駆動用半導体装置は、液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、前記シングルポートメモリに保持された表示用データを所定のサイクルで取り込んで前記液晶表示部に送出する液晶駆動回路と、CPUが前記シングルポートメモリにアクセスしない場合は前記所定のサイクルで前記シングルポートメモリから表示データを前記液晶駆動回路に取込ませてこの取込んだデータを前記液晶表示部に送出させ、前記シングルポートメモリから前記液晶駆動回路がデータを取込んでいるときに前記CPUが前記シングルポートメモリにアクセスした場合は前記CPUに優先権を持たせるように前

記液晶駆動回路の表示データ取込み動作を中止させて前記CPUにアクセス動作させ、このアクセス動作終了直後に改めて前記液晶駆動回路の表示データ取込み動作を行わせるように前記液晶駆動回路を制御する制御回路と、を備えたことを特徴とする。

このように構成された本発明の液晶駆動用半導体装置によれば、CPUに優先権を持たせてCPUのアクセス動作させ、このアクセス動作終了直後に、再度、液晶駆動回路の表示データ取込み動作を行うように液晶駆動回路を制御回路が制御する。これにより、画質の劣化を可及的に防止できるとともにCPUによるメモリへのアクセス動作を可及的に短時間で行うことができる。

【0017】

またメモリはシングルポートメモリであるので、チップサイズの増大を可及的に防止できる。

【0018】

また本発明による液晶駆動用半導体装置は、液晶表示部に表示される表示用データが記憶されるシングルポートメモリと、前記シングルポートメモリに保持された表示用データをラッチするラッチ回路を有し、前記表示用データを前記シングルポートメモリから所定のサイクルで取込んで前記液晶表示部に送出する液晶駆動回路と、CPUが前記シングルポートメモリにアクセス動作することを示すCPUアクセス信号と、前記液晶駆動回路の表示データ取り込み動作のサイクルと同期した所定の信号とに基づいて、前記ラッチ回路のラッチ動作を制御する信号を生成し前記ラッチ回路に出力する制御回路と、を備えたことを特徴とする。

【0019】

また本発明による液晶表示装置は、上記液晶駆動用半導体装置と、液晶表示部と、を備えたことを特徴とする。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態を図1乃至図4を参照して説明する。図1は本発明による液晶表示装置の一実施の形態の構成を示すブロック図である。この実施の形態の液晶表示装置は液晶表示部2と、液晶駆動用半導体装置とを備えている。

この液晶駆動用半導体装置はセグメント電極駆動回路（液晶駆動回路ともいう）10と、非同期アクセス制御回路20と、表示データ用RAM50Bとを有している。

【0021】

表示データ用RAM50Bは、マトリクス状に配列された複数のRAMセル53からなるセルアレイ51Aと、アドレスデコーダ55と、インバータゲート56と、表示データリードカウンタ／デコーダ57と、I/F（インタフェース）制御回路60と、データI/O回路62と、発振回路65とを備えている。そして各RAMセル53は、2個のトランジスタと、2個のインバータゲートからなるラッチ回路とから構成されており、表示データ用RAM50BはシングルポートRAMの構成となっている。

【0022】

液晶表示部2は、複数のコモン電極が並行して配列された第1の透明基板と、複数のセグメント電極が並行して配列された第2の透明基板とを、上記セグメント電極とコモン電極とが交差するように対向配置し、上記第1および第2の透明基板間に液晶層が挟持された構造を有している。また各コモン電極には各々異なる1本の走査線が接続され、各セグメント電極には各々異なる1本の信号線が接続されている。これらの信号線の他端はセグメント電極駆動回路10の出力端に接続されている。

【0023】

なお、コモン電極は図5に示されるようなコモン電極駆動回路によって1本の走査線が選択されることにより駆動される構成となっている。

【0024】

セグメント電極駆動回路10は各信号線毎にセンス回路12と、ラッチ回路14、16と、駆動回路18とを備えている。センス回路12はRAMセル53からのデータをセンスする。ラッチ回路14は、非同期アクセス制御回路20から出力されるラッチ信号 S_{L2} に基づいて、センス回路12の出力をラッチする。ラッチ回路16は、表示データリードカウンタ／デコーダ57から出力されるラッチ信号 S_{L1} の反転信号に基づいて、ラッチ回路14の出力をラッチする。駆動回

路 1 8 はラッチ回路 1 6 の出力を対応する信号線に送出する。なお、ラッチ回路 1 4, 1 6 は各々、図 2 に示すように 2 個のクロックインバータゲートと 1 個のインバータゲートとから構成される。なお、クロックインバータゲートのクロック端子にはラッチ信号 S_L とその反転信号が入力される。非同期アクセス制御回路 2 0 は I / F 制御回路 6 0 から送られてくる CPU アクセス信号と、表示データリードカウンタ / デコーダ 5 7 からのラッチ信号 S_{L1} とに基づいてラッチ信号 S_{L2} を発生する。

【 0 0 2 5 】

次に本実施の形態の動作を説明する。

【 0 0 2 6 】

図示しない CPU が表示データ用 RAM 5 0 B にアクセスする場合は、まず上記 CPU から I / F 制御回路 6 0 に I / F 信号が送られる。すると、この I / F 制御回路 6 0 によってアドレスデコーダ 5 5 およびデータ I / O 回路 6 2 が活性化されるとともに、I / F 制御回路 6 0 から非同期アクセス制御回路 2 0 に CPU アクセス信号が送られる。また、このとき、CPU アクセス信号がインバータゲート 5 6 を介して表示データリードカウンタ / デコーダ 5 7 に入力されているので表示データリードカウンタ / デコーダ 5 7 が不活性とされる。上記 CPU によって決められたアドレスがアドレスバスを介してアドレスデコーダ 5 5 に入力されてデコードされ、上記アドレスに応じた、表示用 RAM 5 0 B の RAM セル 5 3 が選択される。そしてデータを表示データ用 RAM 5 0 B に書き込むときには、データバスを介して送られてきたデータがデータ I / O 回路 6 2 を介して表示用データ RAM 5 0 B の上記選択された RAM セル 5 3 に書き込まれる。またデータを読み出すときには表示用データ RAM 5 0 B の上記選択された RAM セル 5 3 から、データ I / O 回路 6 2 を介してデータが読み出されてデータバスに送られる。

【 0 0 2 7 】

これに対して CPU が表示データ用 RAM 5 0 B にアクセスしない場合、すなわち表示データ用 RAM 5 0 B から液晶表示部 2 にデータを送出する場合は、I / F 制御回路 6 0 から CPU アクセス信号が発生されないため、表示データリー

ドカウンタ／デコーダ 5 7 は活性状態となっている。このとき、発振回路 6 5 からクロック信号が発生され、このクロック信号に基づいて、表示データリードカウンタ／デコーダ 5 7 から選択信号が R A M 5 0 B に送出される。そしてこの選択信号によって、対応する R A M セル 5 3 からデータが読み出され、読み出されたデータがセグメント電極駆動回路 1 0 に送出される。なお、このデータの読み出しすなわちセグメント電極駆動回路 1 0 のデータの取り込みは、所定のサイクルで行われる。セグメント電極駆動回路 1 0 に送出されたデータはセンス回路 1 2 によってセンスされた後、非同期アクセス制御回路 2 0 からのラッチ信号 S_{L2} に基づいてラッチ回路 1 4 においてラッチされる。その後、ラッチ回路 1 4 の出力は表示データリードカウンタ／デコーダ 5 7 からのラッチ信号 S_{L1} の反転信号に基づいてラッチ回路 1 6 においてラッチされる。そしてこのラッチ回路 1 6 の出力は駆動回路 1 8 を介して対応する信号線に送られ、液晶表示部 2 に表示される。

【 0 0 2 8 】

次に、非同期アクセス制御回路 2 0 からラッチ信号 S_{L2} が、どのようなタイミングで出力されるかについて説明する前に、非同期アクセス制御回路 2 0 の具体的な構成例について説明する。

【 0 0 2 9 】

本実施の形態の液晶表示装置にかかる非同期アクセス制御回路 2 0 の一具体例の構成を図 3 (a) に示す。この具体例の非同期アクセス制御回路 2 0 は、インバータゲート 2 1, 2 3, 2 5, 2 9 と、3 入力 N O R ゲート 2 2, 2 4, 2 8 と、遅延回路 2 6 と、R S フリップフロップ回路 2 7, 3 0 とを備えている。

【 0 0 3 0 】

ラッチ信号 S_{L1} はインバータゲート 2 1 の入力端子および R S フリップフロップ回路 3 0 のリセット端子に送られる。インバータゲート 2 1 の出力は N O R ゲート 2 2, 2 4 の入力端子に送られる。N O R ゲート 2 2 の出力はインバータゲート 2 3 を介して R S フリップフロップ回路 2 7 のセット端子に入力される。C P U アクセス信号は N O R ゲート 2 2, 2 4, 2 8 の入力端子に送られる。N O R ゲート 2 4 の出力は R S フリップフロップ回路 2 7 のリセット端子に送出され

る。このRSフリップフロップ回路27の出力はラッチ信号 S_{L2} として出力されるとともに遅延回路26の入力端子およびNORゲート28の入力端子に送られている。遅延回路26の出力はNORゲート24の入力端子に送られるとともに、インバータゲート25を介してNORゲート28の入力端子にも送られる。NORゲート28の出力はインバータゲート29を介してRSフリップフロップ回路30のセット端子に送られる。RSフリップフロップ回路30の出力はNORゲート22の入力端子に送られる構成となっている。なお、RSフリップフロップ回路27、30は各々、図3(b)に示すように、2個のNANDゲートと、1個のインバータゲートとから構成される。

【0031】

次にこの非同期アクセス制御回路20からラッチ信号 S_{L2} がどのようなタイミングで出力されるかについて図4を参照して説明する。

【0032】

①図4に示すT1のタイミングの場合、すなわち、ラッチ信号 S_{L1} が”H”のときにCPUからRAM50Bへのアクセスが無い場合、ラッチ信号 S_{L1} の立ち上がりに同期して遅延回路26の遅延時間分のパルス信号がラッチ信号 S_{L2} として出力され、RAM50Bのセルから読み出されたデータはセンス回路12を通してラッチ回路14にラッチされる。この遅延時間はRAMセル53からのデータ読み出しに必要な時間によって決まる。その後、ラッチ信号 S_{L1} が”L”になることによって、ラッチ回路14の出力がラッチ回路16に取込まれる。このとき、セグメント電極駆動回路10によるデータの取り込み動作と表示データリードカウンタ/デコーダ57から出力されるラッチ信号 S_{L1} とは、互いに同期している。

【0033】

②図4に示すT2のタイミングの場合、すなわちCPUがRAM50Bにアクセスしているときにラッチ信号 S_{L1} が”H”状態になった場合は、CPUのRAM50Bのアクセスが優先されて、CPUのアクセス終了直後に、遅延回路26の遅延時間分のパルス信号がラッチ信号 S_{L2} として出力される。このラッチ信号 S_{L2} に基づいて、RAMセル53から読み出されたデータがセンス回路12を介し

てラッチ回路 1 4 にラッチされる。このラッチされたデータはラッチ信号 S_{L1} が " L " になることによってラッチ回路 1 6 に取込まれる。

【 0 0 3 4 】

③図 4 に示す T 3 のタイミングの場合、すなわち、ラッチ信号 S_{L1} の立ち上がり
に同期してラッチ信号 S_{L2} を出力したものの、途中で CPU のアクセス動作が始
まってしまった場合は、CPU のアクセス動作が優先されて、ラッチ動作が中止
される。そして CPU のアクセスが終了した後で改めて遅延回路 2 6 の遅延時間
分のパルス信号がラッチ信号 S_{L2} として出力される。このラッチ信号 S_{L2} に基づ
いて、RAM セル 5 3 からのデータがセンス回路 1 2 を介してラッチ回路 1 4 に
ラッチされる。このラッチされたデータは、ラッチ信号 S_{L1} が " L " になること
によってラッチ回路 1 6 に取込まれる。

【 0 0 3 5 】

④図 4 に示すタイミング T 4 の場合、すなわち、ラッチ動作が行われていないと
きに CPU のアクセス動作があった場合は、ラッチ信号 S_{L2} は出力されず、CP
U のアクセス動作のみが行われる。

【 0 0 3 6 】

⑤図 4 に示すタイミング T 5 の場合、すなわち、②の場合が起きた後、ラッチ信
号 S_{L1} が " H " 状態である間に再び CPU のアクセス動作があった場合は、この
とき本来のラッチタイミング内であるが、既に一度正常にラッチ動作が行われて
いるので、CPU のアクセス動作のみを行い、ラッチ信号 S_{L2} は出力しない。

【 0 0 3 7 】

以上、説明したように、本実施の形態においては、内蔵する表示データ用 RA
M 5 0 B として、シングルポート RAM を用い、かつ液晶表示部 2 が表示データ
を表示データ用 RAM 5 0 B から読み出している最中に CPU からのアクセスが
あった場合には、CPU に優先権を持たせて CPU のアクセス動作を先に行わせ
、このアクセス動作終了直後に、改めて表示用データを RAM 5 0 B から読み出
して液晶表示部 2 に送るように構成されている（図 4 のタイミング T 3 参照）。
これにより、チップサイズの増大および画質の劣化を可及的に防止できる。また
CPU に優先権を持たせたことにより、CPU によるアクセス動作を可及的に短

時間で行うことが可能となる。しかも本実施の形態においては、RAMセル53から出力された表示用データは、一旦ラッチ信号 S_{L2} によってラッチ回路14に保持され、次にラッチ信号 S_{L1} の反転信号によりラッチ回路16に保持されている。すなわち、液晶表示部2へは、必ず、ラッチ信号 S_{L1} の立ち下がりエッジに同期して出力される。このため、液晶表示部2への出力はラッチ信号 S_{L2} のラッチ位置には依存せず、液晶表示部の表示は上記ラッチ位置による影響を受けない。

【0038】

CPUのアクセス信号のパルス幅が、(ラッチ信号 S_{L1} のパルス幅) - (遅延回路の遅延時間)より長くなってしまった場合、本実施の形態にかかる非同期アクセス制御回路は使用できないが、通常ラッチ信号 S_{L1} のパルス幅に対して、CPUのアクセス信号のパルス幅は十分狭いため、特に問題はない。

【0039】

なお上記実施の形態の液晶表示部2は単純マトリクス型であったが、アクティブマトリクス型であっても良いことは云うまでもない。

【0040】

なお、上記実施の形態においては、表示データ用RAMは、SRAM (Static Random Access Memory)であったが、DRAM (Dynamic Random Access Memory)であっても良い。また、走査方向のメモリセルから一括して表示データを読み出すことが可能なメモリであれば上記表示データ用RAMの代わりに用いることができる。

【0041】

【発明の効果】

以上述べたように、本発明によれば、チップサイズの増大および画質の劣化を可及的に防止するとともに、CPUによるメモリへのアクセス動作を可及的に短時間で行うことができる。

【図面の簡単な説明】

【図1】

本発明による液晶表示装置の一実施の形態の構成を示すブロック図。

【図 2】

本発明の液晶表示装置のセグメント電極駆動回路にかかるラッチ回路の構成を示す回路図。

【図 3】

本発明による液晶表示装置にかかる非同期アクセス制御回路の一具体的な構成を示す回路図。

【図 4】

非同期アクセス制御回路の動作を説明するタイミングチャート。

【図 5】

単純マトリクス型液晶表示装置の構成を示すブロック図。

【図 6】

従来の液晶駆動用半導体装置の構成を示すブロック図。

【図 7】

従来の他の液晶駆動用半導体装置の構成を示すブロック図。

【符号の説明】

2 液晶表示部

1 0 セグメント電極駆動回路

1 2 センス回路

1 4 ラッチ回路

1 6 ラッチ回路

1 8 駆動回路

2 0 非同期アクセス制御回路

5 0 表示データ用 R A M

5 0 A 表示データ用 R A M

5 0 B 表示データ用 R A M

5 1 セルアレイ

5 1 A セルアレイ

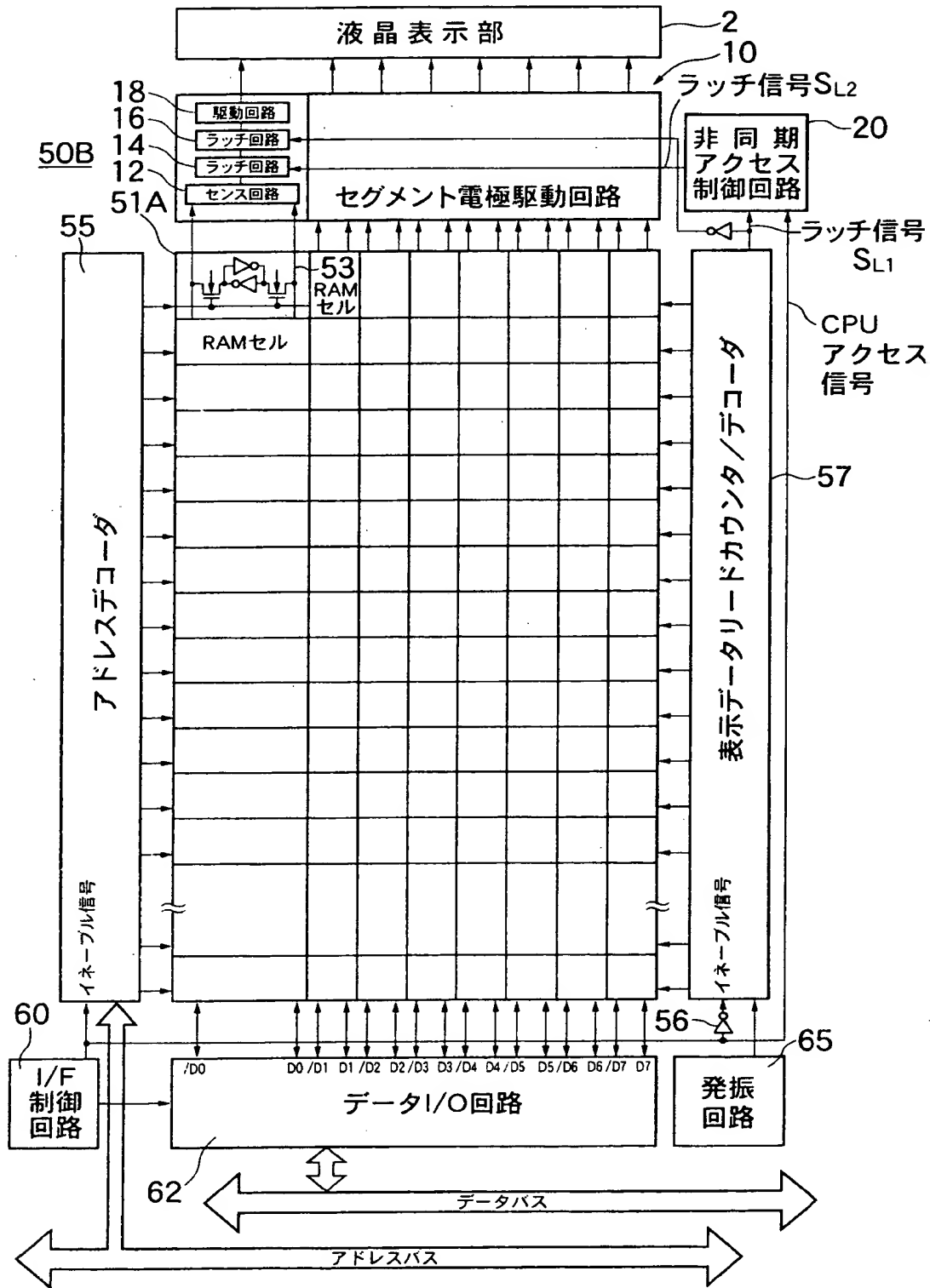
5 2 R A Mセル

5 3 R A Mセル

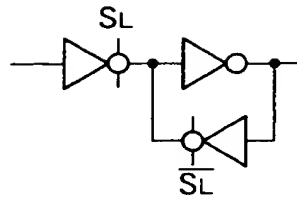
- 5 5 アドレスデコーダ
- 5 6 インバータゲート
- 5 7 表示データリードカウンタ／デコーダ
- 6 0 I / F 制御回路
- 6 2 データ I / O 回路
- 6 5 発振回路

【書類名】 図面

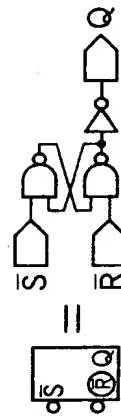
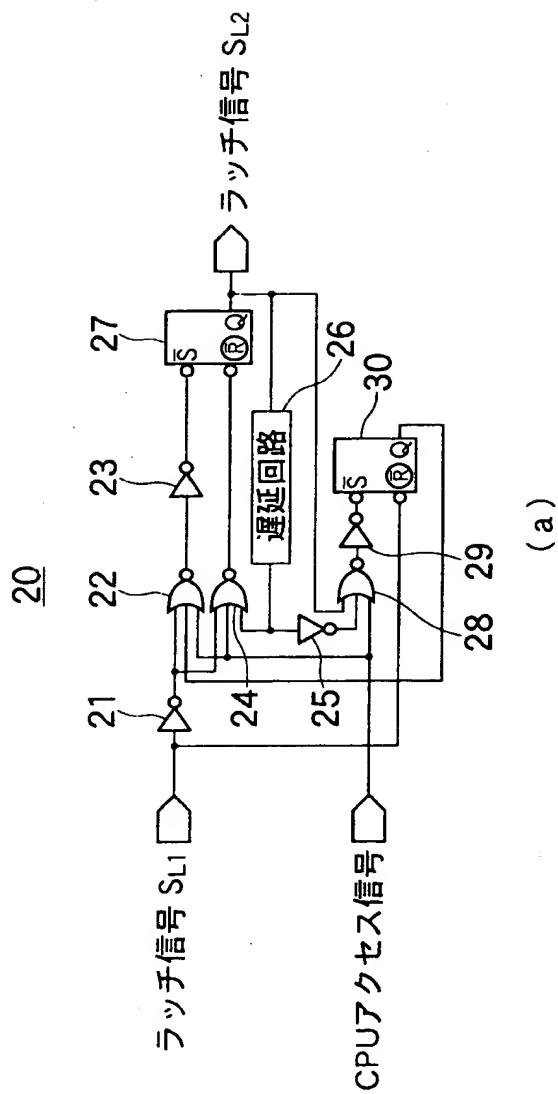
【図 1】



【図 2】



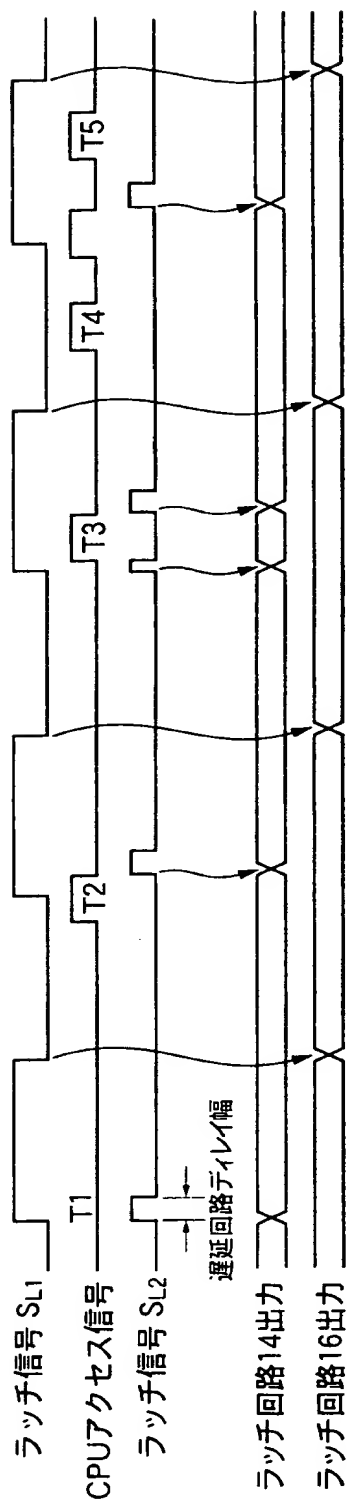
【図 3】



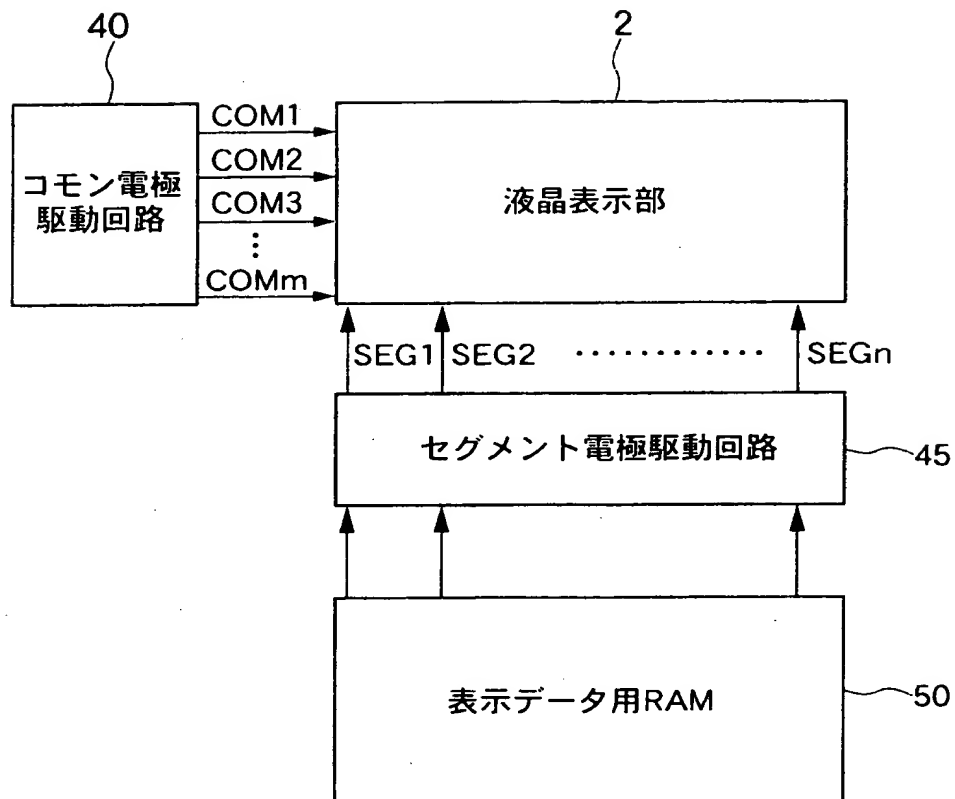
RSフリップフロップ回路

(b)

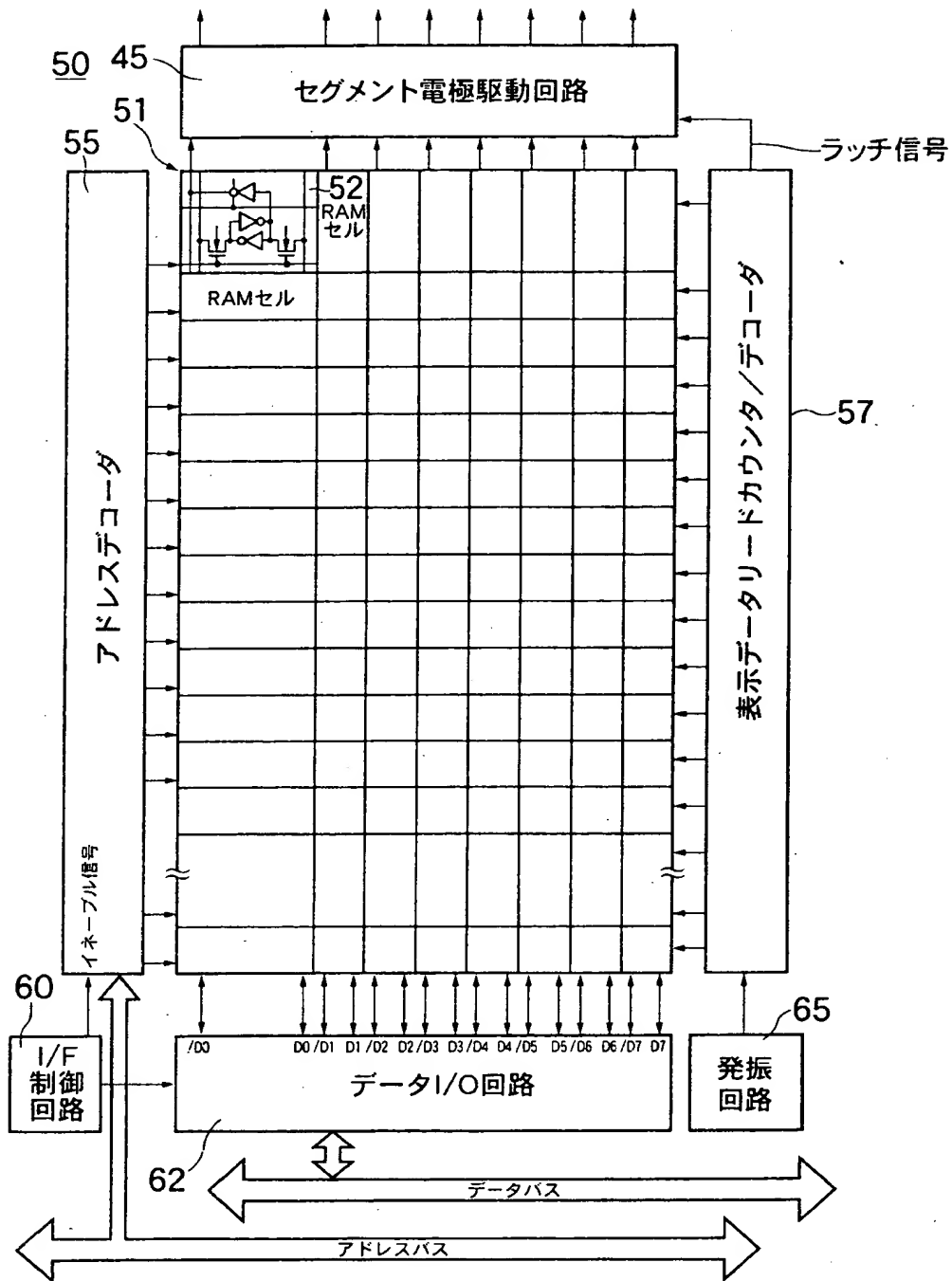
【図4】



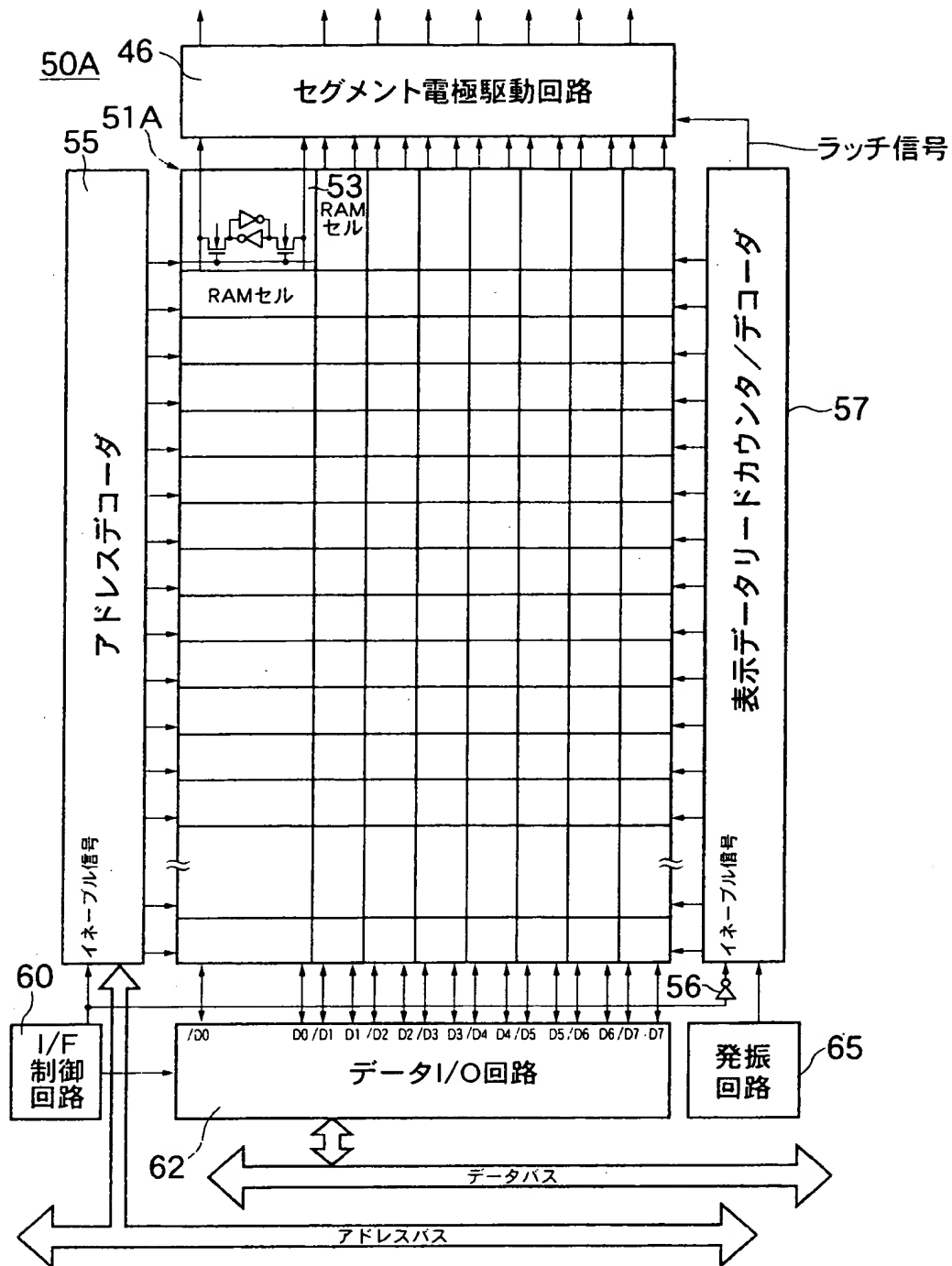
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 チップサイズの増大および画質の劣化を可及的に防止するとともに、CPUによるメモリへのアクセス動作を可及的に短時間で行うことを可能にする。

【解決手段】 液晶表示部 2 に表示される表示用データが記憶されるシングルポートメモリ 5 0 B と、シングルポートメモリに保持された表示用データを所定のサイクルで取込んで液晶表示部に送出する液晶駆動回路 1 0 と、CPU がシングルポートメモリにアクセスしない場合は所定のサイクルでシングルポートメモリから表示データを液晶駆動回路に取込ませてこの取込んだデータを液晶表示部に送出させ、シングルポートメモリから液晶駆動回路がデータを取込んでいるときにCPU がシングルポートメモリにアクセスした場合はCPU に優先権を持たせるように液晶駆動回路の表示データ取込み動作を中止させてCPU にアクセス動作させ、このアクセス動作終了直後に改めて、液晶駆動回路の表示データ取込み動作を行わせるように前記液晶駆動回路を制御する制御回路 2 0 と、を備えたことを特徴とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝

出 願 人 履 歴 情 報

識別番号 [000221199]

1. 変更年月日 1990年 8月23日

[変更理由] 新規登録

住 所 神奈川県川崎市川崎区駅前本町25番地1

氏 名 東芝マイクロエレクトロニクス株式会社